

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-293144

(43)Date of publication of application : 20.10.2000

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 11-103716

(71)Applicant : HITACHI LTD  
HITACHI VIDEO & INF SYST INC

(22)Date of filing : 12.04.1999

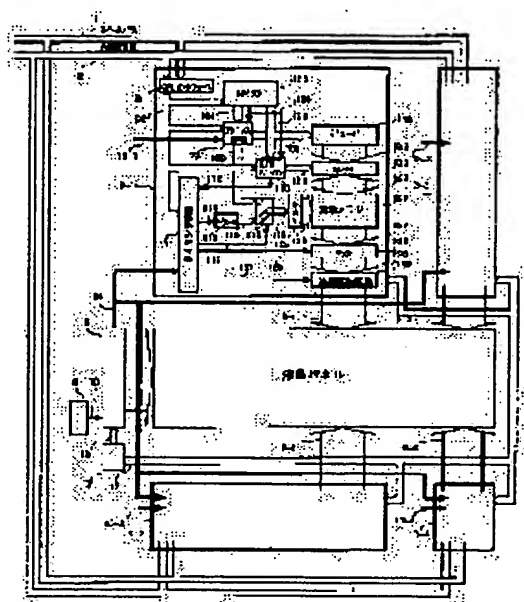
(72)Inventor : NITTA HIROYUKI  
HIGA ATSUHIRO  
TSUNEKAWA SATORU  
KOSHI HIROBUMI

## (54) LIQUID CRYSTAL DRIVING CIRCUIT WITH BUILT-IN MEMORY AND LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To quickly attain pattern data plotting with low power consumption, and to reduce the operation load of a CPU by providing a decode means or the like for simultaneously validating the writing of the plural memory cells of a display memory in response to an instruction from a host controller(CPU).

**SOLUTION:** A read/write address from a CPU is inputted through a data bus 1 to a CPU interface circuit 101, and at the time of CPU display memory access, a row address 109 is selected by a selector 116 according to a row address selection signal 117. Then, a selected row address 118 is inputted to a row address decoder 125, and one of corresponding word lines 126 is selected. Thus, it is possible to perform access to the prescribed pixel of a display memory 121, and to read and write display data. Thus, the number of times of access to a liquid crystal driver LSI of the CPU is reduced so that pattern data plotting can be quickly attained with low power consumption, and the load of the CPU can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(書誌+要約+請求の範囲)

---

(19)【発行国】日本国特許庁(JP)

(12)【公報種別】公開特許公報(A)

(11)【公開番号】特開2000-293144(P2000-293144A)

(43)【公開日】平成12年10月20日(2000.10.20)

(54)【発明の名称】メモリ内蔵液晶駆動回路 および液晶表示装置

(51)【国際特許分類第7版】

G09G 3/36

G02F 1/133 545

G09G 3/20 632

【FI】

G09G 3/36

G02F 1/133 545

G09G 3/20 632 A

【審査請求】未請求

【請求項の数】5

【出願形態】OL

【全頁数】22

(21)【出願番号】特願平11-103716

(22)【出願日】平成11年4月12日(1999.4.12)

(71)【出願人】

【識別番号】000005108

【氏名又は名称】株式会社日立製作所

【住所又は居所】東京都千代田区神田駿河台四丁目6番地

(71)【出願人】

【識別番号】000233136

【氏名又は名称】株式会社日立画像 情報システム

【住所又は居所】神奈川県横浜市戸塚区吉田町292番地

(72)【発明者】

【氏名】新田 博幸

【住所又は居所】神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム  
開発研究所内

(72)【発明者】

【氏名】比嘉 淳裕

【住所又は居所】神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像 情報システ

ム内

(72)【発明者】

【氏名】恒川 悟

【住所又は居所】東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)【発明者】

【氏名】興 博文

【住所又は居所】千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(74)【代理人】

【識別番号】100075096

【弁理士】

【氏名又は名称】作田 康夫

【テーマコード（参考）】

2H093

5C006

5C080

【Fターム（参考）】

2H093 NA10 NA22 NA64 NC13 NC16 NC26 NC27 NC29 NC50 ND06 ND17 ND34 ND39 ND49

5C006 AF02 AF03 AF04 BB11 BC12 BC16 BF02 BF04 EB05 FA12 FA47 FA48

5C080 AA10 BB05 DD08 DD25 DD26 FF10 GG15 GG17 JJ02 JJ03

---

(57)【要約】

【課題】ライン描画や矩形領域の塗り潰し描画や矩形領域のパターンデータ描画を低消費電力かつ高速描画動作で行いかつCPUの動作負荷を低減する表示メモリを内蔵した液晶ドライバLSIを用いた液晶表示装置を提供する。

【解決手段】液晶パネルのマトリックス状に配列された画素部に対応する表示データを格納する表示メモリに対して、CPUが表示データ読み出しあるいは書き込み制御を行うとき、表示メモリのアドレスをデコードして表示メモリのメモリセルの読み出しあるいは書き込みを有効にするデコード手段であって、CPUからの指示で表示メモリの複数のメモリセルを同時に書き込み有効にするデコード手段を有することで、CPUの液晶ドライバLSIへのアクセス回数を低減して、ライン描画や矩形領域の塗り潰し描画や矩形領域のパターンデータ描画を低消費電力かつ高速描画動作で行いかつCPUの動作負荷を低減する。

---

#### 【特許請求の範囲】

【請求項１】複数のデータ線及び複数の走査線の交点位置にマトリックス状に配列された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶駆動回路とを具備する液晶表示装置において、前記液晶駆動回路は、前記マトリックス状に配列された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データ読み出しあるいは書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記アドレス変換回路が変換した前記表示メモリのアドレスをデコードして前記表示メモリのメモリセルの読み出しあるいは書き込みを有効にするデコード手段で前記上位装置からの指示で前記表示メモリの複数のメモリセルを同時に書き込み有効にするデコード手段と、ライン表示信号に同期して、前記表示メモリの１ラインの表示データを読み出す読み出し手段と、該読み出された当該液晶駆動回路が有する出力データ線分の表示データを同時に保持する保持手段と、該保持手段に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、を有することを特徴とする液晶表示装置。

【請求項２】前記液晶駆動回路は、前記上位装置からの指示を保持するレジスタを有することを特徴とする請求項１記載の液晶表示装置。

【請求項３】前記レジスタは、前記上位装置が表示データを書き込み制御するアドレスの範囲を保持することを特徴とする請求項２記載の液晶表示装置。

【請求項４】前記液晶駆動回路は、前記上位装置からの指示で連続する複数のメモリセルのデータ線をデータバスと接続し、一つのワード線を有効にする前記デコード手段を有することを特徴とする請求項１記載の液晶表示装置。

【請求項５】前記液晶駆動回路は、前記上位装置からの指示で一つのメモリセルのデータ線をデータバスと接続し、連続する複数のワード線を同時に有効にする前記デコード手段を有することを特徴とする請求項１記載の液晶表示装置。

#### 詳細な説明

---

##### 【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、表示メモリ内蔵液晶駆動回路及び表示メモリ内蔵液晶表示制御回路を用いた液晶表示装置に関する。

【０００２】

【従来の技術】日立ＬＣＤコントローラ／ドライバＬＳＩデータブック（１９９７年３月

株式会社日立製作所半導体事業本部発行)のP からP、あるいは日立製作所半導体事業本部ホームページ (<http://www.hitachi.co.jp/Sicd/Japanese/Products/senyou/lcd/lcd.htm>) に記載されている液晶ドライバHD66420を用いた従来の液晶表示装置について、図22を用いて説明する。

【0003】図22は従来のメモリ内蔵液晶ドライバを用いた液晶表示装置の詳細な構成図である。

【0004】図22に示すように、アドレスバス1000と、データバス1001と、制御信号1002と、CPU1003と、メモリ1004と、I/Oデバイス1005と、表示メモリを内蔵した液晶ドライバLSI1006と、液晶パネル1007と、表示用発振回路1008と、液晶ドライバの電源回路1009と、液晶駆動電圧1010と、走査選択信号1011と、電源電圧1012と、クロック1013から構成される。

【0005】また液晶ドライバLSI1006は、データバス1001及び制御信号1002を介してCPU1003からのコマンドを受信及びコマンドデータの入出力を行うCPUインタフェース回路1014と、CPUインタフェース回路1014と内部回路との内部データバス1015と、CPU1003の表示メモリアクセスと描画制御に対応したアドレスを制御するアドレス管理回路1016と、アドレス管理回路が出力するカラムアドレス1017と、ロウアドレス1018と、CPU1003の表示メモリアクセスと描画制御に対応したデータを出力あるいは入力するデータI/Oバッファ1019と、内部の各種制御信号を生成するタイミング制御回路1020と、データI/Oバッファ1019のデータ方向を制御するリード/ライト信号1021と、表示ラインカウンタ1022と、カウンタ制御信号1023と、表示ラインカウンタ1022が生成する表示用ロウアドレス1024と、ロウアドレス1018と表示用ロウアドレス1024とを選択するセクタ1025と、ロウアドレス選択信号1026と、選択したロウアドレス1027と、カラムアドレスデコーダ1028と、カラムアドレスデコーダ1028が生成する表示データ選択信号1029と、表示メモリ1030と、表示メモリデータ線1031と、表示メモリデータ線1031を選択するI/Oセクタ1032と、選択したデータを接続するメモリデータバス1033と、選択したロウアドレス1027からワード線を選択するロウアドレスデコーダ1034と、ワード線1035と、液晶表示データ1036と、液晶表示データ1036を取込むラッチ回路1037と、タイミング制御回路1020が生成するラッチ信号1038と、ラッチ回路1037の出力するラッチデータ1039と、液晶駆動の交流化を制御する制御信号1040と、ラッチデータ1039を駆動電圧にする液晶駆動回路1041と、液晶パネルを走査する走査回路1042と、走査制御信号1043とから構成されている。

【0006】次に、従来の表示動作について説明する。図1において、表示データはCPU1003の制御により液晶ドライバLSI1006の表示メモリ1030に描画動作が

行われる。CPU1003から液晶ドライバLSI1006への表示データの描画動作について説明する。CPU1003から液晶ドライバLSI1006に対しデータバス1001及び制御信号1002を使用して、描画対象となるメモリセルのアドレスをアドレス管理回路1016に書き込む。また、CPU1003から液晶ドライバLSI1006に対しデータバス1001及び制御信号1002を使用して、表示データをデータI/Oバッファ1019に書き込む。次に、アドレス管理回路1016は書き込まれたアドレスのメモリセルを書き込み可能にし、データI/Oバッファ1019が表示データを表示メモリ1030に書き込む。この動作を繰り返すことで液晶ドライバLSI1006の表示メモリ1030の表示データを更新（描画）する。更に、液晶ドライバLSI1006の詳細な動作について説明する。アドレス管理回路1016ではアドレスをそのアドレスに対応するメモリセルのアドレスに変換する。カラムアドレス1017、ロウアドレス1018はメモリセルのアドレスに変換したアドレスである。そして、CPU1003からの表示メモリライトサイクルの時、セクタ1025はアドレス管理回路1016からのロウアドレス1018を選択する。そして、カラムアドレスデコーダ1028がカラムアドレス1017に対応したI/Oセクタ1032を有効にしデータI/Oバッファ1019からのライトデータをメモリセルの表示メモリデータ線1031に接続する。一方、ロウアドレスデコーダ1034は、選択したロウアドレス1027に対応したワード線1035を選択する。これにより、所定のアドレスにライトデータを書き込むことができ、この動作を繰り返すことで表示データの更新（描画）を行う。

【0007】また、液晶ドライバLSI1006の表示メモリ1030には、1画面分の表示データが保持されており、水平同期信号 周期のラッチ信号 1038に同期して表示メモリ1030からラッチ回路1037に液晶表示データ1036が転送され、液晶駆動回路1041で表示データに対応した液晶駆動電圧1010が生成され、液晶パネルを駆動する。このときの表示アドレスは表示ラインカウンタ1022で生成した表示用ロウアドレス1024がセクタ1025で選択され、順次1ラインの液晶表示データ1036がラッチ回路1037にラッチされる。走査回路1042ではこれに同期して、液晶パネルの走査選択信号 1011を1ラインずつ順次有効にし表示を行う。

【0008】

【発明が解決しようとする課題】液晶ディスプレイには、携帯型機器へ搭載するため低電力化、小型軽量化が望まれている。従って、これら二つの要求を満足するため、HD66420等のように表示メモリを液晶ドライバLSIに内蔵する液晶表示装置が採用されている。表示メモリを液晶ドライバLSIに内蔵することで表示データのメモリアクセス周波数を低速化し低消費電力化を図っている。さらに、表示メモリを不要とし部品点数を削減している。

【0009】しかし、前記従来の表示メモリを内蔵した液晶ドライバLSI1006を用いた液晶表示装置では、グラフィック表示に多用されるライン描画や矩形領域の塗り潰し

描画や矩形領域のパターンデータ描画を行う場合、前記の描画動作を繰り返し行う必要がある。したがってCPUの描画に費やす時間が増大し、このため、ライン描画や矩形領域の塗り潰し描画や矩形領域のパターンデータ描画動作時の低消費電力化、高速描画動作を困難にし、またCPUの動作負荷が増大して計算能力が低下していた。

【0010】本発明の目的は、ライン描画や矩形領域の塗り潰し描画や矩形領域のパターンデータ描画を低消費電力かつ高速描画動作で行いかつCPUの動作負荷を低減する表示メモリを内蔵した液晶ドライバLSIを用いた液晶表示装置を提供するものである。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち本発明は、第1の態様として、複数のデータ線及び複数の走査線の交点位置にマトリックス状に配列された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶駆動回路とを具備する液晶表示装置において、前記液晶駆動回路は、前記マトリックス状に配列された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データ読み出しあるいは書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記アドレス変換回路が変換した前記表示メモリのアドレスをデコードして前記表示メモリのメモリセルの読み出しあるいは書き込みを有効にするデコード手段で前記上位装置からの指示で前記表示メモリの複数のメモリセルを同時に書き込み有効にするデコード手段と、ライン表示信号に同期して、前記表示メモリの1ラインの表示データを読み出す読み出し手段と、該読み出された当該液晶駆動回路が有する出力データ線分の表示データを同時に保持する保持手段と、該保持手段に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、を有することを特徴とする液晶表示装置を提供する。

【0013】また、前記液晶駆動回路は、前記上位装置からの指示を保持するレジスタを有することを特徴とする液晶表示装置であることが、好ましい。

【0014】さらにまた、前記レジスタは、前記上位装置が表示データを書き込み制御するアドレスの範囲を保持することを特徴とする液晶表示装置であることが好ましい。

【0015】さらにまた、前記液晶駆動回路は、前記上位装置からの指示で連続する複数のメモリセルのデータ線をデータバスと接続し、一つのワード線を有効にする前記デコード手段を有することを特徴とする液晶表示装置であることが好ましい。

【0016】さらにまた、前記液晶駆動回路は、前記上位装置からの指示で一つのメモリセルのデータ線をデータバスと接続し、連続する複数のワード線を同時に有効にする前記デコード手段を有することを特徴とする液晶表示装置であってもよい。

【0017】さらにまた、前記液晶駆動回路は、前記上位装置からの指示で連続する複数

のメモリセルのデータ線をデータバスと接続し、連続する複数のワード線を同時に有効にする前記デコード手段を有することを特徴とする液晶表示装置であってもよい。

【0018】さらにまた、前記液晶駆動回路は、前記上位装置からの指示で連続する複数のメモリセルのデータ線をデータバスと接続し、1本あるいは複数本のワード線を1組として、1組のワード線を同時に有効するもので、1組ずつ順次複数の組を有効にする前記デコード手段を有することを特徴とする液晶表示装置であってもよい。

【0019】また、第2の態様として、上位装置からの表示データを液晶駆動回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶駆動回路は、液晶パネルにおける同一Y座標の2点のアドレスを前記上位装置から指示され、2点を結ぶ線分上の画素に対応した前記表示メモリの複数のメモリセルを同時に書き込み有効にし、同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0020】また、第3の態様として、上位装置からの表示データを液晶駆動回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶駆動回路は、液晶パネルにおける同一X座標の2点のアドレスを前記上位装置から指示され、2点を結ぶ線分上の画素に対応した前記表示メモリの複数のメモリセルを同時に書き込み有効にし、同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0021】また、第4の態様として、上位装置からの表示データを液晶駆動回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶駆動回路は、液晶パネルにおけるX座標及びY座標ともに異なる2点のアドレスを前記上位装置から指示され、2点を対角頂点とした矩形領域内の画素に対応した複数のメモリセルを同時に書き込み有効にし、同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0022】また、第5の態様として、上位装置からの表示データを液晶駆動回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶駆動回路は、液晶パネルにおけるX座標及びY座標ともに異なる2点のアドレスを前記上位装置から指示され、2点を対角頂点とした矩形領域内の画素に対応した複数のメモリセルを複数の組に分割し、各組毎にメモリセルを同時に書き込み有効にし、各組毎にメモリセルに同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。。

【0023】また、第5の態様として、複数のデータ線及び複数の走査線の交点位置にマトリックス状に配列された画素部を有する液晶パネルと、上位装置からの表示データを受けて該液晶パネルの表示を制御する液晶制御回路と、前記複数の走査線に順次電圧を印加する走査回路と、液晶制御回路の制御する表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶駆動回路とを具備する液晶表示装置において、前



記液晶制御回路は、前記マトリックス状に配列された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データ読み出しあるいは書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記アドレス変換回路が変換した前記表示メモリのアドレスをデコードして前記表示メモリのメモリセルの読み出しあるいは書き込みを有効にするデコード手段で前記上位装置からの指示で前記表示メモリの複数のメモリセルを同時に書き込み有効にするデコード手段と、ライン表示信号に同期して、前記表示メモリの1ラインの表示データを読み出す読み出し手段と、該読み出された前記液晶駆動回路が有する出力データ線分の表示データを同時に保持する保持手段と、該保持手段に保持された表示データを前記液晶駆動回路に送信する送信手段と、を有することを特徴とする液晶表示装置を提供する。

【0024】また、前記液晶制御回路は、前記上位装置からの指示を保持するレジスタを有することを特徴とする液晶表示装置であることが好ましい。

【0025】さらにまた、前記レジスタは、前記上位装置が表示データを書き込み制御するアドレスの範囲を保持することを特徴とする液晶表示装置であることが好ましい。

【0026】さらにまた、前記液晶制御回路は、前記上位装置からの指示で連続する複数のメモリセルのデータ線をデータバスと接続し、一つのワード線を有効にする前記デコード手段を有することを特徴とする液晶表示装置であることが好ましい。

【0027】さらにまた、前記液晶制御回路は、前記上位装置からの指示で一つのメモリセルのデータ線をデータバスと接続し、連続する複数のワード線を同時に有効にする前記デコード手段を有することを特徴とする液晶表示装置であってもよい。

【0028】さらにまた、前記液晶制御回路は、前記上位装置からの指示で連続する複数のメモリセルのデータ線をデータバスと接続し、連続する複数のワード線を同時に有効にする前記デコード手段を有することを特徴とする液晶表示装置であってもよい。

【0029】さらにまた、前記液晶制御回路は、前記上位装置からの指示で連続する複数のメモリセルのデータ線をデータバスと接続し、1本あるいは複数本のワード線を1組として、1組のワード線を同時に有効するもので、1組ずつ順次複数の組を有効にする前記デコード手段を有することを特徴とする液晶表示装置であってもよい。

【0030】また、第6の態様として、上位装置からの表示データを液晶制御回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶制御回路は、液晶パネルにおける同一Y座標の2点のアドレスを前記上位装置から指示され、2点を結ぶ線分上の画素に対応した前記表示メモリの複数のメモリセルを同時に書き込み有効にし、同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0031】また、第7の態様として、上位装置からの表示データを液晶制御回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置に

において、前記液晶制御回路は、液晶パネルにおける同一X座標の2点のアドレスを前記上位装置から指示され、2点を結ぶ線分上の画素に対応した前記表示メモリの複数のメモリセルを同時に書き込み有効にし、同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0032】また、第8の態様として、上位装置からの表示データを液晶制御回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶制御回路は、液晶パネルにおけるX座標及びY座標ともに異なる2点のアドレスを前記上位装置から指示され、2点を対角頂点とした矩形領域内の画素に対応した複数のメモリセルを同時に書き込み有効にし、同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0033】また、第8の態様として、上位装置からの表示データを液晶制御回路の内蔵表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記液晶制御回路は、液晶パネルにおけるX座標及びY座標ともに異なる2点のアドレスを前記上位装置から指示され、2点を対角頂点とした矩形領域内の画素に対応した複数のメモリセルを複数の組に分割し、各組毎にメモリセルを同時に書き込み有効にし、各組毎にメモリセルに同時に同一表示データの書き込みを行うことを特徴とする液晶表示装置を提供する。

【0034】また、第9の態様として、上位装置からの表示データを表示メモリに記憶し、該表示メモリの表示データを液晶パネルに表示する液晶表示装置において、前記上位装置は、表示データをNサイクル（Nは自然数）にわたって前記液晶表示装置に指示し、さらに前記指示する表示データよりも大きい容量の書き込み対象範囲を前記液晶表示装置に指示するものであり、前記液晶表示装置は、Nサイクルにわたって指示される表示データで、書き込み対象範囲のメモリセルをN組に分割して1組づつNサイクルにわたって書き込み、書き込み対象範囲のメモリセルと同容量の表示データを書き込みするときのサイクル数よりも少ないサイクル数で書き込み対象範囲のメモリセルに書き込みすることを特徴とする液晶表示装置を提供する。

【0035】

【発明の実施の形態】（第1の実施の形態）以下、図1から図9を用いて、本発明の一実施形態による液晶表示装置の構成及び動作について説明する。

【0036】最初に、図1を用いて、本実施形態による液晶表示装置の全体構成について説明する。

【0037】本実施形態による液晶表示装置は、上位制御装置（以下CPU）と接続するデータバス1と、CPUによる制御信号2と、表示メモリを内蔵したデータドライバLSI 3-1から3-4と、走査回路4と、液晶パネル5と、表示用発振回路6と、液晶ドライバの電源回路7と、データドライバLSI 3-1から3-4が液晶パネル5に出力する表示データに対応した液晶駆動電圧8-1から8-4と、走査回路4が液晶パネル5に出

力する走査選択信号 9 と、表示用発振回路 6 が出力するクロック 10 と、液晶ドライバの電源回路 7 が生成する走査回路 4 用の電源電圧 11 と、データドライバ LSI 3-1 から 3-4 用の電源電圧 12 と、データドライバ LSI 3-1 から 3-4 の配置位置を示す制御信号 13-1 から 13-4 と、表示制御信号 14 とから構成されている。

【0038】またデータドライバ LSI 3-1 から 3-4 は、データバス 1 及び制御信号 2 を介して CPU からのコマンドを受信及びコマンドデータの入出力を行う CPU インタフェース回路 101 と、CPU インタフェース回路 101 と内部回路との内部データバス 102 と、描画設定レジスタ 103 と、描画設定レジスタ 103 が出力する描画用アドレス 104 と、描画用データ 105 と、描画制御信号 106 と、CPU の表示メモリアクセスと描画制御に対応したアドレスを制御するアドレス管理回路 107 と、アドレス管理回路 107 が出力するカラムアドレス 108 と、ロウアドレス 109 と、CPU の表示メモリアクセスと描画制御に対応したデータを出力あるいは入力するデータ I/O バッファ 110 と、表示制御信号 14 から内部の各種制御信号を生成するタイミング制御回路 111 と、データ I/O バッファ 110 のデータ方向を制御するリード/ライト信号 112 と、表示ラインカウンタ 113 と、カウンタ制御信号 114 と、表示ラインカウンタ 113 が生成する表示用ロウアドレス 115 と、ロウアドレス 109 と表示用ロウアドレス 115 とを選択するセクタ 116 と、ロウアドレス選択信号 117 と、選択したロウアドレス 118 と、カラムアドレスデコーダ 119 と、カラムアドレスデコーダ 119 が生成する表示データ選択信号 120 と、表示メモリ 121 と、表示メモリデータ線 122 と、表示メモリデータ線 122 を選択する I/O セクタ 123 と、選択したデータを接続するメモリデータバス 124 と、選択したロウアドレス 118 からワード線を選択するロウアドレスデコーダ 125 と、ワード線 126 と、液晶表示データ 127 と、液晶表示データ 127 を取込むラッチ回路 128 と、タイミング制御回路 111 が生成するラッチ信号 129 と、ラッチ回路 128 の出力するラッチデータ 130 と、液晶駆動の交流化を制御する制御信号 131 と、ラッチデータ 130 を駆動電圧にする液晶駆動回路 132 とから構成されている。

【0039】図 1 及び図 2、図 3 を用いて、本実施形態による液晶表示装置の全体的な動作について説明する。以下、h は 16 進数を示す。また b は 2 進数を示す。h 及び b が記されていない数字は 10 進数とする。図 1 において、データドライバ LSI 3-1 から 3-4 は出力数が 160 本であり、1 出力につき 4 階調を表現し、240 ラインの表示データを保持するものとする。このため、160 画素×240 ラインの液晶パネルを駆動することができる。また、液晶パネル 5 は 320 画素×480 ラインとし、データドライバ LSI を 4 つ用い、上下 240 ラインの 2 画面駆動となる。また、本データドライバ LSI の表示メモリへのランダムアクセスライト/リード動作は、コマンドインタフェースとする。さらにまた、データバス 1 及び内部データバス 102 は 8 ビットとする。図 2 に表示メモリ 121 のアドレスマップと液晶パネルの各画素との対応を示す。表示メモリのアドレス

は、液晶パネルの左上画素をアドレス00h番地とし、横4画素／アドレス構成になっている（以下、複数画素／アドレス構成をバックドアドレス方式と呼ぶ）。出力数が160本であることから、データドライバLSI3-1の第1ラインのアドレスは、0000h番地から、0027h番地が割り当てられ、データドライバLSI3-3の第1ラインのアドレスは、0028h番地から、004Fh番地が割り当てられ、第2ラインは第1ラインのアドレスに+80h番地加算したアドレスが割り当てられている。

【0040】次に、CPUが表示メモリ121にランダムにアクセスする場合のリード／ライトアクセス動作について説明する。CPUからのリード／ライトアドレスは、データバス1を通じてCPUインタフェース回路101に入力され、内部データバス102を通じてアドレス管理回路107に入力される。アドレス管理回路107では、液晶パネルに対するそれぞれの配置位置に対応して指定した制御信号13-1から13-4に基づいて内部の表示メモリ121に対応したカラムアドレス108及びロウアドレス109に変換する。カラムアドレス108はカラムアドレスデコーダ119でデコードされ、表示メモリデータ線122の対応するデータ線がデータI/Oセクタ123で選択される。CPU表示メモリアクセス時にはロウアドレス選択信号117により、ロウアドレス109がセクタ116で選択され、選択したロウアドレス118をロウアドレスデコーダ125に入力して、対応するワード線126の1本選択される。これにより、表示メモリ121の所定の画素をアクセスすることができ、表示データを読み書きすることができる。なお、表示メモリ121に保持された表示データの内の、1ライン分の液晶表示データ127が水平周期のラッチ信号129でラッチ回路128にラッチされ、液晶駆動回路132で表示データと制御信号131に対応した電源電圧12が選択され液晶パネル5に出力される。

【0041】次に、横ライン描画動作について説明する。横ライン描画とは、液晶パネル5の同一Y座標上の任意の2点間の画素を塗りつぶすことである。まず、横ライン描画開始点を後述するスタートアドレス設定レジスタに設定し、横ライン描画終了点を後述するエンドアドレス設定レジスタに設定し、横ラインの色を後述する色設定レジスタに設定する。横ライン描画開始点は、横ライン描画終了点よりもX座標値が小さい点のアドレスを設定する。表示メモリのアドレスは図2に示すようにEFCFh番地までであるため、スタートアドレス及びエンドアドレスは16ビット必要になる。さらに、バックドアドレス方式であるため、1アドレス内の画素を指定するための2ビットがそれぞれのアドレスとして必要となる。したがってスタートアドレス設定レジスタ及びエンドアドレス設定レジスタはそれぞれ18ビット必要である。色設定レジスタは2ビット必要である。図3に、各レジスタの構成を示す。CPUはまず、スタートアドレス設定レジスタを設定する。次にエンドアドレス設定レジスタを設定する。次に色設定レジスタを設定して、CPUのアクセスが終わる。ここで設定したアドレス値は、表示メモリ本来の16ビットのアドレスをビット15からビット0とし、1アドレス内の画素を指定するための2ビットのアドレス

をビット－１からビット－２とした。また、後述するように、設定したアドレスは、カラムアドレスとロウアドレスに分割するため、ロウアドレスに対応するアドレスのビットをスタートアドレス設定レジスタではスタートロウアドレスSRA、エンドアドレス設定レジスタではエンドロウアドレスERA、カラムアドレスに対応するアドレスのビットをスタートアドレス設定レジスタではスタートカラムアドレスSCA、エンドアドレス設定レジスタではエンドカラムアドレスECA、とした。その後、設定値により、アドレス管理回路１０７及びカラムアドレスデコーダ１１９及びロウアドレスデコーダ１２５が表示メモリの横ライン描画の対象となるメモリセルを書き込み有効にし、データＩ／Ｏバッファ１１０からラインの色のデータをメモリセルに出力する。

【００４２】次に、図４を用いて、アドレス管理回路１０７の詳細な構成について説明する。図４示すように、アドレス管理回路１０７は、CPU表示メモリアクセス時にCPUが指定するメモリアドレス１８ビットの内の下位９ビットのカラムアドレスを設定するカラムアドレスカウンタ２０１と、カラムアドレスカウンタ値２０２と、上位９ビットのロウアドレスを設定するロウアドレスカウンタ２０３と、ロウアドレスカウンタ値２０４と、CPUアクセスと描画アクセスを切り換えるセクタ２０５と、セクタ２０６と、セクタ２０７と、選択されたカラムアドレス２０９と、ロウアドレス２１０と、エンコーダ回路２１１と、データドライバLSI配置位置に対応したカラムアドレス生成用のエンコード値２１２、ロウアドレス生成用のエンコード値２１３と、演算器２１４と、演算器２１５と、演算器２１６とを備える。また、描画設定レジスタ１０３からの描画用アドレス１０４はスタートカラムアドレスSCAと、エンドカラムアドレスECAと、スタートロウアドレスSRAとから成り、カラムアドレス２０９及びカラムアドレス１０８は、それぞれスタートカラムアドレスSCAと、エンドカラムアドレスECAから成る。

【００４３】次に、アドレス管理回路１０７の動作について説明する。

【００４４】ライン描画アクセス時は、描画設定レジスタ１０３に設定された描画用アドレス１０４の内のスタートカラムアドレスSCAと、描画用アドレス１０４の内のエンドカラムアドレスECAと、描画用アドレス１０４の内のスタートロウアドレスSRAとがセクタ２０５と、セクタ２０６と、セクタ２０７とで選択される。選択されたカラムアドレス２０９は配置位置に対応した制御信号１３に基づいてエンコードされたエンコード値２１２とアドレスのビット６からビット０を演算し、カラムアドレス１０８を生成する。ここでの演算は、左側に配置されたデータドライバLSI３－１および３－２では演算を行わず、右側に配置されたデータドライバLSI３－３及び３－４ではデータドライバLSI３－３の最初のアドレスである２８h（０１０１０００b）をエンコード値２１２としてカラムアドレスのビット６からビット０を減算する演算を行う。ビット－１からビット－２は演算しない。なお、カラムアドレスビット６からビット－２の値は、ビット６からビット０の最大値が２７h、４画素から一つを選ぶビット－１からビット－２の最大値が１１bであることから００hから９Fhまでの範囲にある。さらに、選択され

たロウアドレス210は配置位置に対応した制御信号13に基づいてエンコードされたエンコード値213とアドレスのビット15からビット7を演算し、ロウアドレス109を生成する。ここでの演算は、上側に配置されたデータドライバLSI3-1および3-3では演算を行わず、下側に配置されたデータドライバLSI3-2及び3-4ではデータドライバLSI3-2の最初のアドレス7800h(0111100000000000b)の上位9ビットの値であるF0h(011110000b)を減算する演算を行う。なお、ロウアドレスビット15からビット7は00hからEFhまでの範囲にある。また、後述する複数のドライバLSIにまたがる描画に対応するため、演算したアドレスが、内部の表示メモリのアドレス範囲に納まらない場合は、代わりに内部の表示メモリのアドレスの最小値あるいは最大値を出力する。例えば描画用アドレス104のエンドカラムアドレスECAがデータドライバLSI3-3内の表示メモリを指し示すとき、データドライバLSI3-1では描画用アドレス104のエンドカラムアドレスECAが自身のエンドカラムアドレスECAの最大値9Fhを超えるため、演算器215で最大値の9Fhを演算結果としてカラムアドレス108のエンドカラムアドレスECAとして出力する。

【0045】CPU表示メモリアクセス時はCPUインタフェース回路101を介してカラムアドレスカウンタ201及びロウアドレスカウンタ203にそれぞれアクセスの対象となるメモリのアドレスを設定する。CPU表示メモリアクセスのとき、カラムアドレスカウンタ値202がセクタ205及びセクタ206で選択されて、カラムアドレス209に出力される。このとき、カラムアドレス209のスタートカラムアドレスSCA及びエンドカラムアドレスECAのビット6からビット0は共にCPUが設定したアドレス値であり、また、CPU表示メモリアクセスではパックドピクセル方式に対応して、4画素が同時にアクセスされるため、カラムアドレス209の内のスタートカラムアドレスSCAのビット-1からビット-2には00b、エンドカラムアドレスECAのビット-1からビット-2には11b、と固定値にする。また、ロウアドレスカウンタ値204がセクタ207で選択されて、ロウアドレス210が出力される。描画アクセス時と同様、エンコード値212及びエンコード値213と演算し、カラムアドレス108が出力され、また、ロウアドレス109が出力される。

【0046】次に、カラムアドレスデコーダ119の詳細な構成について図5、6、7を用いて説明する。図5は、カラムアドレスデコーダ119のブロック図である。カラムアドレスデコーダ119は、アドレス管理回路107の出力するスタートカラムアドレスSCAを入力してスタートアドレスをデコードするスタートカラムアドレスデコーダ301と、スタートカラムアドレスデコーダ301が出力するスタートデータ選択信号302と、アドレス管理回路107の出力するエンドカラムアドレスECAを入力してエンドアドレスをデコードするエンドカラムアドレスデコーダ303と、エンドカラムアドレスデコーダ303が出力するエンドデータ選択信号304と、マスク回路305とから構成される。図6は、スタートカラムアドレスデコーダ301の詳細なブロック図である。スタートカ

ラムアドレスデコーダ301は、スタートカラムアドレスSCAの値と対応する出力を有効にするデコーダ306と、スタートデータ選択信号302を以降のスタートデータ選択信号302に伝播するキャリー回路307とを備える。図7はエンドカラムアドレスデコーダ303の詳細なブロック図である。エンドカラムアドレスデコーダ303は、エンドカラムアドレスECAの値と対応する出力を有効にするデコーダ308と、エンドデータ選択信号304を以前のエンドデータ選択信号304に伝播するキャリー回路309とを備える。

【0047】次に、カラムアドレスデコーダ119の詳細な動作について説明する。

【0048】まず、ライン描画アクセス時には、アドレス管理回路107から、横ライン描画開始点のアドレスが、スタートカラムアドレスデコーダ301に入力され、横ライン描画終了点のアドレスが、エンドカラムアドレスデコーダ303に入力される。スタートカラムアドレスデコーダ301では、スタートカラムアドレスSCAの9ビットがデコードされる。この時、スタートデータ選択信号302は160出力中1出力だけが有効となっている。各スタートデータ選択信号302はキャリー回路307に入力され、有効なスタートデータ選択信号302を以降のスタートデータ選択信号302へ伝播し、以降のスタートデータ選択信号302が有効となる。エンドカラムアドレスデコーダ303では、エンドカラムアドレスECAの9ビットがデコードされる。この時、エンドデータ選択信号304は160出力中1出力だけが有効となる。各エンドデータ選択信号304はキャリー回路309に入力され、有効なエンドデータ選択信号304を以前のエンドデータ選択信号304へ伝播し、以前のエンドデータ選択信号304が有効となる。スタートデータ選択信号302と、エンドデータ選択信号304は、マスク回路305に入力し、両方の信号がともに有効のとき、対応する表示データ選択信号120を有効にする。したがってスタートカラムアドレスSCAからエンドカラムアドレスECAまでの表示データ選択信号120が有効となり、ライン描画の対象となるメモリセルが書き込み可能となる。また、スタートロウアドレスSRAにより、ワード線126は240本中1本だけ有効となる。このようにして横ラインが描画可能である。

【0049】次に、CPU表示メモリアクセス時には、アドレス管理回路107から、カラムアドレスカウンタ値202がスタートカラムアドレスSCAとして、スタートカラムアドレスデコーダ301に入力され、カラムアドレスカウンタ値202がエンドカラムアドレスECAとして、エンドカラムアドレスデコーダ303に入力される。スタートカラムアドレスデコーダ301では、スタートカラムアドレスSCAの9ビットがデコードされる。この時、スタートデータ選択信号302は160出力中1出力だけが有効となっている。ライン描画アクセス時と同様、キャリー回路307により以降のスタートデータ選択信号302が有効となる。エンドカラムアドレスデコーダ303では、エンドカラムアドレスECAの9ビットがデコードされる。この時、エンドデータ選択信号304は160出力中1出力だけが有効となっている。ライン描画アクセス時と同様、キャリー回路3

07により以前のエンドデータ選択信号 304が有効となる。スタートデータ選択信号 302と、エンドデータ選択信号 304は、マスク回路305に入力し、両方の信号がともに有効のとき、対応する表示データ選択信号 120を有効にする。CPU表示メモリアクセス時は、スタートカラムアドレスSCAの下位2ビットは00bに固定されており、エンドカラムアドレスECAの下位2ビットは11bに固定されており、スタートカラムアドレスSCAとエンドカラムアドレスECAの上位7ビットは同じ値であるため、CPUが指定した表示メモリアドレスの4画素分のメモリセルが選択され、また、スタートロウアドレスSRAにより、ワード線126は240本中1本だけ有効となり、従来のCPU表示メモリアクセスと同じバックドピクセル方式でアクセスが可能となる。

【0050】次に、データI/Oバッファの詳細な構成について図8を用いて説明する。図8に示すように、データI/Oバッファ110は、描画制御信号 106で制御されるセクタ401と選択されたライトデータ402、CPUから表示メモリ方向のバッファ403と、表示メモリからCPU方向のバッファ404とから構成される。データI/Oバッファ110の動作について説明する。CPU表示メモリアクセス時には、描画制御信号 106が無効となり、セクタ401は内部データバス102を選択する。また、タイミング制御回路111からのリード/ライト信号 112によりリード時は、表示メモリからCPU方向のバッファ404が有効となり、ライト時は、CPUから表示メモリ方向のバッファ403が有効となる。描画アクセス時には、描画制御信号 106が有効となり、セクタは描画用データ105を選択する。描画用データ105は2ビットしか設定されないため、各画素の上位ビットに対応するデータバスの奇数ビットには描画データの上位ビットを割り当て、各画素の下位ビットに対応するデータバスの偶数ビットには描画データの下位ビットを割り当てて、ライトデータ402の8ビット全てにデータを入力し、描画アクセスはライトとなり、CPUから表示メモリ方向のバッファ403が有効となり、表示メモリからCPU方向のバッファ404は無効となり、メモリデータバス124に描画用データ105が出力される。

【0051】次に、横ライン描画に関して、画素Xmから、画素Xnまでのラインを描画するときの動作の様子を図9に示す。まず、画素Xmに対応するアドレスがスタートカラムアドレスSCAとして、また画素Xnに対応するアドレスがエンドカラムアドレスECAとして、カラムアドレスデコーダ119に入力される。カラムアドレスデコーダ119のスタートカラムアドレスデコーダ301は、画素Xmとそれ以降のスタートデータ選択信号 302を有効にする。また、エンドカラムアドレスデコーダ303は画素Xnとそれ以前のエンドデータ選択信号 304を有効にする。したがってマスク回路305により、画素Xmに対応する表示データ選択信号 120から画素Xnに対応する表示データ選択信号 120までが有効になる。I/Oセクタ123は、有効となった表示データ選択信号 120にしたがって、対応する表示メモリデータ線122を8ビットのメモリデータバス124に接続する。また、ロウアドレス118がロウアドレスデコーダ125に入力さ



れてワード線126の240本中1本のワード線が有効になる。また、描画用データ105がメモリデータバス124に出力される。したがって同一Y座標上の画素Xmから画素Xnまでの画素に対応する表示メモリ121のメモリセルにデータが書き込まれ、液晶パネル5は図9に示すような表示となる。

【0052】以上のようにして、横ライン描画が可能となる。

【0053】ここで、例えばデータドライバLSI3-1（以下、左ドライバ）とデータドライバLSI3-3（以下、右ドライバ）にまたがる横ライン描画の場合の動作について説明する。ここでスタートカラムアドレスSCAが示すアドレスのメモリセルは左ドライバ内に存在し、エンドカラムアドレスECAが示すアドレスのメモリセルは右ドライバ内に存在する。まず、左ドライバでは描画設定レジスタ103からスタートカラムアドレスSCAとエンドカラムアドレスECAが出力される。左ドライバではエンコード値212との減算は行わないため、スタートカラムアドレスSCAはそのままの値で、エンドカラムアドレスECAは最大値9Fhとなる。さらに、右ドライバではエンコード値212との減算を行うため、スタートカラムアドレスSCAは最小値00hで、エンドカラムアドレスECAはそのままの値となる。したがって、左ドライバではスタートアドレスから液晶パネルの160画素目に対応するアドレス9Fhまでメモリセルが書き込み有効となり、右ドライバでは161画素目に対応するアドレスA0hからエンドアドレスまでの対応するメモリセルが書き込み有効となり、ドライバ間にまたがる横ライン描画が可能になる。

【0054】第1の実施の形態による横ライン描画が実現可能な液晶表示装置について説明を行ったが、第2の実施の形態によるアドレス管理回路及びロウアドレスデコーダを用いて、縦ライン描画が実現可能である。

【0055】（第2の実施の形態）以下、本発明の第2の実施の形態を図10から図14を用いて説明する。本実施形態は、アドレス管理回路107及び、ロウアドレスデコーダ125に特徴を有しており、第1の実施の形態によるアドレス管理回路107及び、ロウアドレスデコーダ125と代わるものである。

【0056】図10は、本実施形態によるアドレス管理回路107の構成を示している。

【0057】最初に、図10を用いて、本実施形態によるアドレス管理回路107の構成について説明する。

【0058】最初に、縦ライン描画動作について説明する。縦ライン描画とは、液晶パネル5の同一X座標上の任意の2点間の画素を塗りつぶすことである。まず、縦ライン描画開始点をスタートアドレス設定レジスタに設定し、縦ライン描画終了点をエンドアドレス設定レジスタに設定し、縦ラインの色を色設定レジスタに設定する。縦ライン描画開始点は、縦ライン描画終了点よりもY座標値が小さい点のアドレスを設定する。レジスタは図3に示したとおりである。CPUはまず、スタートアドレス設定レジスタを設定する。次にエンドアドレス設定レジスタを設定する。次に色設定レジスタを設定して、CPUのア

クセスが終わる。その後、設定値により、アドレス管理回路 107 及びカラムアドレスデコーダ 119 及びロウアドレスデコーダ 125 が表示メモリの縦ライン描画の対象となるメモリセルを書き込み有効にし、データ I/O バッファ 110 からラインの色のデータをメモリセルに出力する。

【0059】次に、図 10を用いて、アドレス管理回路 107 の詳細な構成について説明する。図 10に示すように、アドレス管理回路 107 は、CPU 表示メモリアクセス時に CPU が指定するメモリアドレス 18 ビットの内の下位 9 ビットのカラムアドレスを設定するカラムアドレスカウンタ 201 と、カラムアドレスカウンタ値 202 と、上位 9 ビットのロウアドレスを設定するロウアドレスカウンタ 203 と、ロウアドレスカウンタ値 204 と、CPU アクセスと描画アクセスを切り換えるセレクトア 205 と、セレクトア 206 と、セレクトア 207 と、セレクトア 208 と、選択されたカラムアドレス 209 と、ロウアドレス 210 と、エンコーダ回路 211 と、データドライバ LSI 配置位置に対応したカラムアドレス生成用のエンコード値 212、ロウアドレス生成用のエンコード値 213 と、演算器 214 と、演算器 215 と、演算器 216 と、演算器 217 とを備える。また、描画レジスタからの描画用アドレス 104 はスタートカラムアドレス SCA と、エンドカラムアドレス ECA と、スタートロウアドレス SRA と、エンドロウアドレス ERA とから成り、カラムアドレス 209 とカラムアドレス 108 は、それぞれスタートカラムアドレス SCA と、エンドカラムアドレス ECA とから成り、ロウアドレス 210 と、ロウアドレス 109 はそれぞれスタートロウアドレス SRA と、エンドロウアドレス ERA から成る。

【0060】次に、アドレス管理回路 107 の動作について説明する。

【0061】ライン描画アクセス時は、描画レジスタに設定された描画用アドレス 104 の内のスタートカラムアドレス SCA と、描画用アドレス 104 の内のエンドカラムアドレス ECA と、描画用アドレス 104 の内のスタートロウアドレス SRA と、描画用アドレス 104 の内のエンドロウアドレス ERA とがセレクトア 205 と、セレクトア 206 と、セレクトア 207 と、セレクトア 208 とで選択される。選択されたカラムアドレス 209 は配置位置に対応した制御信号 13 に基づいてエンコードされたエンコード値 212 とアドレスのビット 6 からビット 0 を演算し、カラムアドレス 108 を生成する。ここでの演算は、第 1 の実施の形態と同様である。さらに、ロウアドレス 210 は配置位置に対応した制御信号 13 に基づいてエンコードされたエンコード値 213 とアドレスのビット 15 からビット 7 を演算し、ロウアドレス 109 を生成する。ここでの演算は、第 1 の実施の形態と同様である。

【0062】CPU 表示メモリアクセス時は CPU インタフェース回路 101 を介してカラムアドレスカウンタ 201 及びロウアドレスカウンタ 203 にそれぞれアクセスの対象となるメモリのアドレスを設定する。CPU 表示メモリアクセスのとき、カラムアドレスカウンタ値 202 がセレクトア 205 及びセレクトア 206 で選択されて、カラムアドレス 2

09に出力される。このとき、カラムアドレス209のスタートカラムアドレスSCA及びエンドカラムアドレスECAのビット6からビット0は共にCPUが設定したアドレス値であり、また、CPU表示メモリアクセスではバックドピクセル方式に対応して、4画素が同時にアクセスされるため、カラムアドレス209の内のスタートカラムアドレスSCAのビット-1からビット-2には00b、エンドカラムアドレスECAのビット-1からビット-2には11b、と固定値にする。また、ロウアドレスカウンタ値204がセクタ207及びセクタ208で選択されて、ロウアドレス210が出力される。描画アクセス時と同様、エンコード値212及びエンコード値213と演算し、カラムアドレス108が出力され、また、ロウアドレス109が出力される。

【0063】次に、ロウアドレスデコーダ125の詳細な構成について図11、12、13を用いて説明する。図11は、ロウアドレスデコーダ125のブロック図である。ロウアドレスデコーダ125は、アドレス管理回路107の出力するスタートロウアドレスSRAを入力してスタートアドレスをデコードするスタートロウアドレスデコーダ501と、スタートロウアドレスデコーダ501が出力するスタートワード選択信号502と、アドレス管理回路107の出力するエンドロウアドレスERAを入力してエンドアドレスをデコードするエンドロウアドレスデコーダ503と、エンドロウアドレスデコーダ503が出力するエンドワード選択信号504と、マスク回路505とから構成される。図12は、スタートロウアドレスデコーダ501の詳細なブロック図である。スタートロウアドレスデコーダ501は、スタートロウアドレスSRAの値と対応する出力を有効にするデコーダ506と、スタートワード選択信号502を以降のスタートワード選択信号502に伝播するキャリー回路507とを備える。図13はエンドロウアドレスデコーダ503の詳細なブロック図である。エンドロウアドレスデコーダ503は、エンドロウアドレスERAの値と対応する出力を有効にするデコーダ508と、エンドワード選択信号504を以前のエンドワード選択信号504に伝播するキャリー回路509とを備える。

【0064】次に、ロウアドレスデコーダ501の詳細な動作について説明する。

【0065】まず、ライン描画アクセス時には、アドレス管理回路107から、縦ライン描画開始点のアドレスが、スタートロウアドレスデコーダ501に入力され、縦ライン描画終了点のアドレスが、エンドロウアドレスデコーダ503に入力される。スタートロウアドレスデコーダ501では、スタートロウアドレスSRAの9ビットがデコードされる。この時、スタートワード選択信号502は240出力中1出力だけが有効となっている。各スタートワード選択信号502はキャリー回路507に入力され、有効なスタートワード選択信号502を以降のスタートワード選択信号502へ伝播し、以降のスタートワード選択信号502が有効となる。エンドロウアドレスデコーダ503では、エンドロウアドレスERAの9ビットがデコードされる。この時、エンドワード選択信号504は240出力中1出力だけが有効となる。各エンドワード選択信号504はキャリー回路509に入力され、有効なエンドワード選択信号504を以前のエンドワード選択信号50

4へ伝播し、以前のエンドワード選択信号 504が有効となる。スタートワード選択信号 502と、エンドワード選択信号 504は、マスク回路505に入力し、両方の信号がともに有効のとき、対応するワード線126を有効にする。したがってスタートロウアドレスSRAからエンドロウアドレスERAまでのワード線126が有効となり、ライン描画の対象となるメモリセルが書き込み可能となる。また、縦ライン描画時は、スタートコラムアドレスSCA及びエンドコラムアドレスECAが同じ値であるため、表示データ選択信号 120は160本中1本だけが有効となる。このようにして縦ラインが描画可能である。

【0066】次に、CPU表示メモリアクセス時には、アドレス管理回路107から、ロウアドレスカウンタ値204がスタートロウアドレスSRAとして、スタートロウアドレスデコーダ501に入力され、ロウアドレスカウンタ値204がエンドロウアドレスERAとして、エンドロウアドレスデコーダ503に入力される。スタートロウアドレスデコーダ501では、スタートロウアドレスSRAの9ビットがデコードされる。この時、スタートワード選択信号 502は240出力中1出力だけが有効となっている。ライン描画アクセス時と同様、キャリー回路507により以降のスタートワード選択信号 502が有効となる。エンドロウアドレスデコーダ503では、エンドロウアドレスERAの9ビットがデコードされる。この時、エンドワード選択信号 504は240出力中1出力だけが有効となっている。ライン描画アクセス時と同様、キャリー回路507により以前のエンドワード選択信号 504が有効となる。スタートワード選択信号 502と、エンドワード選択信号 504は、マスク回路505に入力し、両方の信号がともに有効のとき、対応するワード線126を有効にする。スタートロウアドレスSRAとエンドロウアドレスERAは同じ値であるため、ワード線126は1本だけ有効となる。また、CPU表示メモリアクセス時は、スタートコラムアドレスSCAの下位2ビットは00bに固定されており、エンドコラムアドレスECAの下位2ビットは11bに固定されており、スタートコラムアドレスSCAとエンドコラムアドレスECAの上位7ビットは同じ値であるため、CPUが指定した表示メモリアドレスの4画素分のメモリセルがセレクトされ、従来のCPU表示メモリアクセスと同じバックドピクセル方式でアクセスが可能となる。

【0067】次に、縦ライン描画に関して、画素Ypから、画素Yqまでのラインを描画するときの動作の様子を図14に示す。まず、画素Ypに対応するアドレスがスタートロウアドレスSRAとして、また画素Yqに対応するアドレスがエンドロウアドレスERAとして、ロウアドレスデコーダ125に入力される。ロウアドレスデコーダ125のスタートロウアドレスデコーダ501は、画素Ypとそれ以降のスタートワード選択信号 502を有効にする。また、エンドロウアドレスデコーダ503は画素Yqとそれ以前のエンドワード選択信号 504を有効にする。したがってマスク回路505により、画素Ypに対応するワード線126から画素Yqに対応するワード線126までが有効になる。I/Oセクタ123は、有効となった表示データ選択信号 120にしたがって、1画素に対

応する表示メモリデータ線 122 を 8 ビットのメモリデータバス 124 に接続する。また、描画用データ 105 がメモリデータバス 124 に出力される。したがって同一 X 座標上の画素 Y<sub>p</sub> から画素 Y<sub>q</sub> までの画素に対応する表示メモリ 121 のメモリセルにデータが書き込まれ、液晶パネル 5 は図 14 に示すような表示となる。

【0068】 以上のようにして、縦ライン描画が可能となる。

【0069】 ここで、本実施の形態による液晶表示装置の縦ライン描画は、アドレス管理回路 107 における演算が第 1 の実施の形態によるアドレス管理回路 107 と同じであるため、第 1 の実施の形態による液晶表示装置の横ライン描画と同じく、複数のドライバにまたがる縦ライン描画が可能である。

【0070】 第 2 の実施の形態による縦ライン描画が実現可能な液晶表示装置について説明を行ったが、第 3 の実施の形態によるスタートアドレス設定レジスタ及びエンドアドレス設定レジスタの設定方法で、矩形領域塗り潰し描画が実現可能である。

【0071】 (第 3 の実施の形態) 以下、本発明の第 3 の実施の形態を図 15 を用いて説明する。本実施形態は、スタートアドレス設定レジスタ及びエンドアドレス設定レジスタの設定方法に特徴を有しており、第 2 の実施の形態によるデータドライバ L S I の構成で、矩形領域塗り潰し描画を実現するものである。

【0072】 図 15 は、本実施形態による、画素 (X<sub>m</sub>, Y<sub>p</sub>) を左上頂点とし、画素 (X<sub>n</sub>, Y<sub>q</sub>) を右下頂点とした、矩形領域の塗り潰し描画を行うときの動作の様子を示す。

【0073】 最初に、矩形領域塗り潰し描画動作について説明する。矩形領域塗り潰し描画とは、液晶パネル 5 の任意の矩形領域の内側の画素を塗りつぶすことである。まず、矩形領域の左上頂点 (X<sub>m</sub>, Y<sub>p</sub>) のアドレスをスタートアドレス設定レジスタに設定し、矩形領域の右下頂点 (X<sub>n</sub>, Y<sub>q</sub>) のアドレスをエンドアドレス設定レジスタに設定し、塗り潰す色を色設定レジスタに設定する。矩形領域左上頂点 (X<sub>m</sub>, Y<sub>p</sub>) は、矩形領域右下頂点 (X<sub>n</sub>, Y<sub>q</sub>) よりも X 座標値及び Y 座標値が小さい点のアドレスを設定する。描画設定レジスタ 103 は図 3 に示したとおりである。CPU はまず、スタートアドレス設定レジスタを設定する。次にエンドアドレス設定レジスタを設定する。次に色設定レジスタを設定して、CPU のアクセスが終わる。その後、設定値により、アドレス管理回路 107 及びカラムアドレスデコーダ 119 及びロウアドレスデコーダ 125 が表示メモリの矩形領域塗り潰し描画の対象となるメモリセルを書き込み有効にし、データ I/O バッファ 110 から矩形領域の色のデータをメモリセルに出力する。

【0074】 次に、アドレス管理回路 107 の動作について説明する。なお、アドレス管理回路 107 の構成は、図 10 に示した第 2 の実施の形態によるアドレス管理回路 107 と同じである。また、描画用設定レジスタ 103 は矩形領域左上頂点 (X<sub>m</sub>, Y<sub>p</sub>) に対応するアドレスをスタートカラムアドレス SCA 及びスタートロウアドレス SRA とし、矩形領域右下頂点 (X<sub>n</sub>, Y<sub>q</sub>) に対応するアドレスをエンドカラムアドレス ECA 及びエンドロウアドレス ERA として出力する。

【0075】矩形領域塗り潰し描画アクセス時は、描画設定レジスタ103に設定された描画用アドレス104の内のスタートカラムアドレスSCAと、描画用アドレス104の内のエンドカラムアドレスECAと、描画用アドレス104の内のスタートロウアドレスSRAと、描画用アドレス104の内のエンドロウアドレスERAとがセクタ205と、セクタ206と、セクタ207と、セクタ208とで選択される。選択されたカラムアドレス209は配置位置に対応した制御信号13に基づいてエンコードされたエンコード値212とアドレスのビット6からビット0を演算し、カラムアドレス108を生成する。ここでの演算は、第1の実施の形態と同様である。さらに、ロウアドレス210は配置位置に対応した制御信号13に基づいてエンコードされたエンコード値213とアドレスのビット15からビット7を演算し、ロウアドレス109を生成する。ここでの演算は、第1の実施の形態と同様である。

【0076】CPU表示メモリアクセス時はCPUインタフェース回路101を介してカラムアドレスカウンタ201及びロウアドレスカウンタ203にそれぞれアクセスの対象となるメモリのアドレスを設定する。CPU表示メモリアクセスのとき、カラムアドレスカウンタ値202がセクタ205及びセクタ206で選択されて、カラムアドレス209に出力される。このとき、カラムアドレス209のスタートカラムアドレスSCA及びエンドカラムアドレスECAのビット6からビット0は共にCPUが設定したアドレス値であり、また、CPU表示メモリアクセスではバックドピクセル方式に対応して、4画素が同時にアクセスされるため、カラムアドレス209の内のスタートカラムアドレスSCAのビット-1からビット-2には00b、エンドカラムアドレスECAのビット-1からビット-2には11b、と固定値にする。また、ロウアドレスカウンタ値204がセクタ207及びセクタ208で選択されて、ロウアドレス210が出力される。描画アクセス時と同様、エンコード値212及びエンコード値213と演算し、カラムアドレス108が出力され、また、ロウアドレス109が出力される。

【0077】次に、カラムアドレスデコーダ119及びロウアドレスデコーダ125の詳細な動作について説明する。なお、カラムアドレスデコーダ119の構成は図5、6、7に示した第1の実施の形態によるカラムアドレスデコーダ119と同じであり、ロウアドレスデコーダ125の構成は図11、12、13に示した第2の実施の形態によるロウアドレスデコーダ125と同じである。

【0078】まず、矩形領域塗り潰し描画アクセス時には、アドレス管理回路107から、矩形領域左上頂点(Xm, Yp)に対応するアドレスが、スタートカラムアドレスデコーダ301に入力され、矩形領域右下頂点(Xn, Yq)に対応するアドレスが、エンドカラムアドレスデコーダ303に入力される。したがってXmからXnまでの表示データ選択信号120が有効となり、矩形領域塗り潰し描画の対象となるメモリの表示メモリデータ線122がI/Oセクタ123によりメモリデータバス124と接続する。また、アドレス管理回路107から、矩形領域左上頂点(Xm, Yp)に対応するアドレスが、

スタートロウアドレスデコーダ501に入力され、矩形領域右下頂点(Xn, Yq)に対応するアドレスが、エンドロウアドレスデコーダ503に入力される。したがってYpからYqまでのワード線126が有効となり、矩形領域塗り潰し描画の対象となるメモリセルの書き込みが可能となる。以上のようにして、液晶パネル5は図15に示すような表示となり、矩形領域塗り潰し描画が可能となる。

【0079】次に、CPU表示メモリアクセス時には、アドレス管理回路107から、コラムアドレスカウンタ値202がスタートコラムアドレスSCAとして、スタートコラムアドレスデコーダ301に入力され、コラムアドレスカウンタ値202がエンドコラムアドレスECAとして、エンドコラムアドレスデコーダ303に入力される。CPU表示メモリアクセス時は、スタートコラムアドレスSCAの下位2ビットは00bに固定されており、エンドコラムアドレスECAの下位2ビットは11bに固定されており、スタートコラムアドレスSCAとエンドコラムアドレスECAの上位7ビットは同じ値であるため、CPUが指定した表示メモリアドレスの4画素分のメモリセルが選択される。また、アドレス管理回路107から、ロウアドレスカウンタ値204がスタートロウアドレスSRAとして、スタートロウアドレスデコーダ501に入力され、ロウアドレスカウンタ値204がエンドロウアドレスERAとして、エンドロウアドレスデコーダ503に入力される。スタートロウアドレスSRAとエンドロウアドレスERAは同じ値であるため、ワード線126は1本だけ有効となる。このようにして、従来のCPU表示メモリアクセスと同じパッドピクセル方式でアクセスが可能となる。

【0080】ここで、本実施の形態による液晶表示装置の矩形領域塗り潰し描画は、アドレス管理回路107における演算が第2の実施の形態によるアドレス管理回路107と同じであるため、第2の実施の形態による液晶表示装置の横ライン描画と同じく、複数のドライバにまたがる矩形領域塗り潰し描画が可能である。

【0081】(第4の実施の形態)以下、図16を用いて、本発明の一実施形態による液晶表示装置の構成及び動作について説明する。

【0082】最初に、図16を用いて、本実施形態による液晶表示装置の全体構成について説明する。

【0083】本実施形態による液晶表示装置は、CPUと接続するデータバス1と、CPUによる制御信号2と、表示メモリを内蔵した表示制御回路600と、データドライバLSI701と、走査回路702と、液晶パネル5と、表示用発振回路703と、液晶ドライバの電源回路704と、データドライバLSI701-1から701-4が液晶パネル5に出力する表示データに対応した液晶駆動電圧705と、走査回路702が液晶パネル5に出力する走査選択信号706と、表示用発振回路703が出力するクロック707と、液晶ドライバの電源回路704が生成する走査回路702用の電源電圧708と、データドライバLSI701用の電源電圧709と、表示制御信号710とから構成されている。

【0084】また表示制御回路600は、データバス1及び制御信号2を介してCPUか

らのコマンドを受信及びコマンドデータの入出力を行うCPUインタフェース回路601と、CPUインタフェース回路601と内部回路との内部データバス602と、描画設定レジスタ603と、描画設定レジスタ603が出力する描画用アドレス604と、描画用データ605と、描画制御信号606と、CPUの表示メモリアクセスと描画制御に対応したアドレスを制御するアドレス管理回路607と、アドレス管理回路607が出力するカラムアドレス608と、ロウアドレス609と、CPUの表示メモリアクセスと描画制御に対応したデータを出力あるいは入力するデータI/Oバッファ610と、表示制御信号14から内部の各種制御信号を生成するタイミング制御回路611と、データI/Oバッファ610のデータ方向を制御するリード/ライト信号612と、表示ラインカウンタ613と、カウンタ制御信号614と、表示ラインカウンタ613が生成する表示用ロウアドレス615と、ロウアドレス609と表示用ロウアドレス615とを選択するセクタ616と、ロウアドレス選択信号617と、選択したロウアドレス618と、カラムアドレスデコーダ619と、カラムアドレスデコーダ619が生成する表示データ選択信号620と、表示メモリ621と、表示メモリデータ線622と、表示メモリデータ線622を選択するI/Oセクタ623と、選択したデータを接続するメモリデータバス624と、選択したロウアドレス618からワード線を選択するロウアドレスデコーダ625と、ワード線626と、液晶表示データ627と、液晶表示データ627を取込むラッチ回路628と、タイミング制御回路611が生成するラッチ信号629と、ラッチ回路628の出力するラッチデータ630と、1ラインのデータをシリアル化して出力するための制御信号631と、ラッチデータ630をシリアル化するパラ/シリ変換回路632とから構成されている。

【0085】図16を用いて、本実施形態による液晶表示装置の全体的な動作について説明する。図16において、表示制御回路600の表示メモリは320画素×480ラインの表示データを保持する事ができるものとする。また、階調数は4とする。また、データドライバLSI701表示データを少なくとも1ライン分保持するラッチ回路を備えるものとする。また、液晶パネル5は320画素×480ラインとする。また、表示制御回路の表示メモリへのランダムアクセスライト/リード動作は、コマンドインタフェースとする。さらにまた、データバス1及び内部データバス602は8ビットとする。図17に表示メモリ621のアドレスマップと液晶パネルの各画素との対応を示す。表示メモリのアドレスは、液晶パネルの左上画素をアドレス00h番地とし、1画素/アドレス構成になっている。第1ラインのアドレスは、00000h番地から、0013Fh番地が割り当てられ、第2ラインは第1ラインのアドレスに+200h番地加算したアドレスが割り当てられている。

【0086】次に、CPUが表示メモリ621にランダムにアクセスする場合のリード/ライトアクセス動作について説明する。CPUからのリード/ライトアドレスは、データバス1を通じてCPUインタフェース回路601に入力され、内部データバス602を通



じてアドレス管理回路607に入力される。アドレス管理回路607では、内部の表示メモリ621に対応したカラムアドレス608及びロウアドレス609に変換する。カラムアドレス608はカラムアドレスデコーダ619でデコードされ、表示メモリデータ線622の対応するデータ線がデータI/Oセクタ623で選択される。CPU表示メモリアクセス時にはロウアドレス選択信号617により、ロウアドレス609がセクタ616で選択され、選択したロウアドレス618をロウアドレスデコーダ625に入力して、対応するワード線626の1本選択される。これにより、表示メモリ621の所定の画素をアクセスすることができ、表示データを読み書きすることができる。なお、表示メモリ621に保持された表示データの内の、1ライン分の液晶表示データ627が水平周期のラッチ信号629でラッチ回路628にラッチされ、バラ/シリ変換回路632でシリアル化され、表示データバス711を通じてデータドライバLSI701に出力され、データドライバLSI701によってデータに対応した電源電圧709が選択され液晶駆動電圧705が液晶パネル5に出力される。

【0087】次に、矩形領域塗り潰し描画動作について説明する。まず、矩形領域の左上頂点(Xm, Yp)のアドレスをスタートアドレス設定レジスタに設定し、矩形領域の右下頂点(Xn, Yq)のアドレスをエンドアドレス設定レジスタに設定し、塗り潰す色を色設定レジスタに設定する。矩形領域左上頂点(Xm, Yp)は、矩形領域右下頂点(Xn, Yq)よりもX座標値及びY座標値が小さい点のアドレスを設定する。表示メモリのアドレスは図17に示すように3BF3Fh番地までであるため、スタートアドレス設定レジスタ及びエンドアドレス設定レジスタはそれぞれ18ビット必要である。色設定レジスタは2ビット必要である。図18に、各レジスタの構成を示す。CPUはまず、スタートアドレス設定レジスタを設定する。次にエンドアドレス設定レジスタを設定する。次に色設定レジスタを設定して、CPUのアクセスが終わる。また、後述するように、設定したアドレスは、カラムアドレスとロウアドレスに分割するため、ロウアドレスに対応するアドレスのビットをスタートアドレス設定レジスタではスタートロウアドレスSRA、エンドアドレス設定レジスタではエンドロウアドレスERA、カラムアドレスに対応するアドレスのビットをスタートアドレス設定レジスタではスタートカラムアドレスSCA、エンドアドレス設定レジスタではエンドカラムアドレスECA、とした。その後、設定値により、アドレス管理回路607及びカラムアドレスデコーダ619及びロウアドレスデコーダ625が表示メモリの矩形領域塗り潰し描画の対象となるメモリセルを書き込み有効にし、データI/Oバッファ610からラインの色のデータをメモリセルに出力する。

【0088】次に、図19を用いて、アドレス管理回路607の詳細な構成について説明する。図19示すように、アドレス管理回路607は、CPU表示メモリアクセス時にCPUが指定するメモリアドレス18ビットの内の下位9ビットのカラムアドレスを設定するカラムアドレスカウンタ801と、カラムアドレスカウンタ値802と、上位9ビットのロウアドレスを設定するロウアドレスカウンタ803と、ロウアドレスカウンタ値80

4と、CPUアクセスと描画アクセスを切り換えるセクタ805と、セクタ806と、セクタ807と、セクタ808とを備える。また、描画設定レジスタ603からの描画用アドレス604はスタートカラムアドレスSCAと、エンドカラムアドレスECAと、スタートロウアドレスSRAエンドロウアドレスERAとから成り、カラムアドレス608は、それぞれスタートカラムアドレスSCAと、エンドカラムアドレスECAから成り、ロウアドレス609はそれぞれスタートロウアドレスSRAと、エンドロウアドレスERAからなる。

【0089】次に、アドレス管理回路607の動作について説明する。描画用設定レジスタ103は矩形領域左上頂点(Xm, Yp)に対応するアドレスをスタートカラムアドレスSCA及びスタートロウアドレスSRAとし、矩形領域右下頂点(Xn, Yq)に対応するアドレスをエンドカラムアドレスECA及びエンドロウアドレスERAとして出力する。矩形領域塗り潰し描画アクセス時は、描画設定レジスタ603に設定された描画用アドレス604の内のスタートカラムアドレスSCAと、描画用アドレス604の内のエンドカラムアドレスECAと、描画用アドレス604の内のスタートロウアドレスSRAと、描画用アドレス604の内のエンドロウアドレスERAとがセクタ805と、セクタ806と、セクタ807と、セクタ808とで選択される。CPU表示メモリアクセス時はCPUインタフェース回路601を介してカラムアドレスカウンタ801及びロウアドレスカウンタ803にそれぞれアクセスの対象となるメモリのアドレスを設定する。CPU表示メモリアクセスのとき、カラムアドレスカウンタ値802がセクタ805及びセクタ806で選択されて、カラムアドレス608に出力される。また、ロウアドレスカウンタ値804がセクタ807及びセクタ808で選択されて、ロウアドレス609が出力される。

【0090】本実施の形態によるカラムアドレスデコーダ619が、第1から第3の実施の形態によるカラムアドレスデコーダ119と異なる点は、カラムアドレスデコーダ619が表示メモリの横方向320画素の対応して、9ビットから320本の表示データ選択信号620をデコードする点だけであり、動作は同じである。また、本実施の形態によるロウアドレスデコーダ625が、第1から第3の実施の形態によるロウアドレスデコーダ125と異なる点は、ロウアドレスデコーダ625が表示メモリの縦方向480ラインの対応して、9ビットから480本のワード線626をデコードする点だけであり、動作は同じである。

【0091】したがって、矩形領域塗り潰し描画アクセス時には、アドレス管理回路607から、矩形領域左上頂点(Xm, Yp)に対応するカラムアドレス及び矩形領域右下頂点(Xn, Yq)に対応するカラムアドレスが、カラムアドレスデコーダ619に入力される。したがってXmからXnまでの表示データ選択信号120が有効となり、矩形領域塗り潰し描画の対象となるメモリセルの表示メモリデータ線622がI/Oセクタ623によりメモリデータバス624と接続する。また、アドレス管理回路607から、矩形

領域左上頂点 ( $X_m$ ,  $Y_p$ ) に対応するロウアドレス及び矩形領域右下頂点 ( $X_n$ ,  $Y_q$ ) に対応するロウアドレスが、ロウアドレスデコーダ 625 に入力される。したがって  $Y_p$  から  $Y_q$  までのワード線 626 が有効となり、矩形領域塗り潰し描画の対象となるメモリセルの書き込みが可能となる。

【0092】また、CPU 表示メモリアクセス時には、アドレス管理回路 607 から、カラムアドレスカウンタ値 802 がカラムアドレスデコーダ 619 に入力される。表示メモリ 621 は 1 画素/アドレスでマッピングされており、CPU 表示メモリアクセス時は、スタートカラムアドレス SCA とエンドカラムアドレス ECA は同じ値であるため、CPU が指定した表示メモリアドレスの 1 画素分のメモリセルが選択さる。また、アドレス管理回路 107 から、ロウアドレスカウンタ値 204 ロウアドレスデコーダ 625 に入力される。スタートロウアドレス SRA とエンドロウアドレス ERA は同じ値であるため、ワード線 626 は 1 本だけ有効となる。このようにして、従来の CPU 表示メモリアクセスとアクセスが可能となる。

【0093】以上のように、矩形領域塗り潰し描画が可能となったが、同様にして、横ライン描画及び縦ライン描画も可能となる。

【0094】(第 5 の実施の形態) 以下、本発明の第 4 の実施の形態を図 20 を用いて説明する。本実施形態は、ワード線の選択方法に特徴を有しており、第 3 の実施の形態によるデータドライバ LSI の構成によるワード線を新たにマスク回路とシフト回路とを付加して選択方法を変えて、矩形領域パターンデータ描画を実現するものである。

【0095】図 20 は、本実施形態による、ワード線 126 に付加する回路を示す。ここで、パターンデータは 4 画素  $\times$  4 ラインの 32 ビットのデータとする。

【0096】最初に、ワード線 126 と付加回路の構成について説明する。本実施形態によるデータドライバ LSI はワード線 126 をマスクするマスク回路 505 と、シフト回路 WSFT と、シフト回路 WSFT が生成するシフトデータ SD1 から SD4 と、マスクしたワード線 126B とが付加される。また、シフトデータ SD1 から SD4 はワード線 126 のマスク信号であり、シフトデータ SD1 は  $4N-3$  ライン目 (以下、 $N=1, 2, \dots, 60$ ) のワード線 126 をマスクし、シフトデータ SD2 は  $4N-2$  ライン目のワード線 126 をマスクし、シフトデータ SD3 は  $4N-1$  ライン目のワード線 126 をマスクし、シフトデータ SD4 は  $4N$  ライン目のワード線 126 をマスクする。

【0097】次に、ワード線 126 の付加回路による選択方法について説明する。マスク回路 505B は、ワード線 126 をシフトデータ SD1 から 4 をマスク信号としてマスクする。ここで、シフト回路 WSFT は、矩形領域の左上頂点のアドレスの情報を利用して、矩形領域の 1 ライン目が表示メモリ 121 の  $4N-3$  ライン目の場合はシフトデータ SD1 を最初に有効にし、矩形領域の 1 ライン目が表示メモリ 121 の  $4N-2$  ライン目の場合はシフトデータ SD2 を最初に有効にし、矩形領域の 1 ライン目が表示メモリ 121 の  $4N-1$  ライン目の場合はシフトデータ SD3 を最初に有効にし、矩形領域の 1 ライン目

が表示メモリ121の4Nライン目の場合はシフトデータSD4を最初に有効にするものとする。また、最初に有効にしたシフトデータから順次シフトデータSD1からSD4の内の1つを有効にする。したがって、有効なワード線126に対応したワード線126Bの内の4N-3ライン目、4N-2ライン目、4N-1ライン目、4Nライン目が、シフト回路WSFTの動作に対応して有効になる。

【0098】図21は、本実施形態による、画素(X1, Y1)を左上頂点とし、画素(X6, Y6)を右下頂点とした、矩形領域パターンデータ描画を行うときの動作の様子を示し、(1)から(4)は動作の順番を示す。なお、パターンデータは、4画素×4ライン分のデータであり、1ライン目は11000000b、2ライン目は00110000b、3ライン目は00001100b、4ライン目は00000011bである斜め線のパターンデータとする。

【0099】まず、矩形領域パターンデータ描画動作について説明する。矩形領域パターンデータ描画とは、液晶パネル5の任意の矩形領域の内側の画素を指定のパターンデータで並べるように塗りつぶすことである。まず、CPUは、矩形領域の左上頂点(X1, Y1)のアドレスをスタートアドレス設定レジスタに設定し、矩形領域の右下頂点(X6, Y6)のアドレスをエンドアドレス設定レジスタに設定する。色設定レジスタは設定しない。その後、設定値により、アドレス管理回路107及びカラムアドレスデコーダ119及びロウアドレスデコーダ125により、X1からX6に対応する表示データ選択信号120及び、Y1からY6に対応するワード線126が有効となる。アドレス管理回路107及びカラムアドレスデコーダ119及びロウアドレスデコーダ125は第3の実施の形態による液晶表示装置の当該回路と動作は同じである。

【0100】次に、(1)から(4)の動作を順番に説明する。シフト回路WSFTは、パターンデータの1ライン目のデータを書き込むために、左上頂点のアドレスにしたがって、矩形領域の1ライン目に対応するシフトデータを最初に有効にする。(1): 矩形領域の1ライン目は表示メモリ121の2ライン目であるため、シフトデータSD2が最初に有効となる。その結果、Y1からY6に対応するワード線126は、マスク回路505によりマスクされ、Y1、Y5に対応するワード線126Bが有効となる。次に、パターンデータの1ライン目のデータ11000000bをメモリデータバス124に出力する。ここで、メモリデータバス124に出力したパターンデータの1画素目のデータから順番に矩形領域の1画素目に書き込むために、矩形領域の左上頂点のアドレスの情報を利用して、パターンデータをビットシフトする。ここではビットシフト手段DSFTを用いることにする。ビットシフト手段DSFTは、左上頂点のアドレスにしたがって、矩形領域の1画素目が表示メモリ121の4N-3画素目の場合は2ビット右シフトし、矩形領域の1画素目が表示メモリ121の4N-2画素目の場合は4ビット右シフトし、矩形領域の1画素目が表示メモリ121の4N-1画素目の場合は6ビット右シフトし、矩形領域の1画素目が表示メモリ121の4N画素目の場合はシフトしない。ここでは2ビット右シフト

する。したがって、矩形領域の1ライン目及び5ライン目には11b、00b、00b、00b、11b、00b、が書き込まれる。(2):シフト回路WSFTはシフト動作を行い、シフトデータSD3が有効になる。その結果、マスク回路505により、Y2、Y6に対応するワード線126Bが有効となる。次に、パターンデータの2ライン目のデータ00110000bをメモリデータバス124に出力する。パターンデータは2ビット右シフトする。したがって、矩形領域の2ライン目及び6ライン目には00b、11b、00b、00b、00b、11b、が書き込まれる。(3):シフト回路WSFTはシフト動作を行い、シフトデータSD4が有効になる。その結果、マスク回路505により、Y3に対応するワード線126Bが有効となる。次に、パターンデータの3ライン目のデータ00001100bをメモリデータバス124に出力する。パターンデータは2ビット右シフトする。したがって、矩形領域の3ライン目には00b、00b、11b、00b、00b、00b、が書き込まれる。(4):シフト回路WSFTはシフト動作を行い、シフトデータSD1が有効になる。その結果、マスク回路505により、Y4に対応するワード線126Bが有効となる。次に、パターンデータの4ライン目のデータ00000011bをメモリデータバス124に出力する。パターンデータは2ビット右シフトする。したがって、矩形領域の4ライン目には00b、00b、00b、11b、00b、00b、が書き込まれる。以上で矩形領域パターンデータ描画動作が終了する。

【0101】次に、CPU表示メモリアクセス動作について説明する。CPU表示メモリアクセス時は、アドレス管理回路107及びカラムアドレスデコーダ119及びロウアドレスデコーダ125は第3の実施の形態による液晶表示装置の当該回路と動作は同じである。シフト回路WSFTはシフトデータSD1からSD4を全て有効にし、マスク回路505Bではワード線126のマスクを行わない。また、ビットシフト手段は表示メモリデータのビットシフトを行わない。したがって、第3の実施の形態による液晶表示装置と同様なCPU表示メモリアクセス動作が可能である。

【0102】以上のように、本実施の形態による液晶表示装置は、矩形領域パターンデータ描画が可能である。

【0103】複数のデータドライバLSIにまたがる矩形領域パターンデータ描画動作は、アドレス管理回路107における演算が第3の実施の形態によるアドレス管理回路107と同じであるため、第3の実施の形態による液晶表示装置の矩形領域と同じく、複数のドライバにまたがる矩形領域が書き込み可能である。また、左上頂点のアドレスにしたがって、シフト回路WSFTの動作が決定し、ビットシフト手段DSFTのビットシフト量が決定されるため、各データドライバLSIでシフト回路WSFTの動作及びビットシフト手段DSFTのビットシフト量が同じであるため、描画するパターンデータが各データドライバLSIまたがる場合でもパターンデータの並びかたは保たれる。したがって、複数のデータドライバLSIにまたがる矩形領域パターンデータ描画動作が可能である。

【0104】ここで、本実施の形態による液晶表示装置の矩形領域パターンデータ描画は、

ビットシフト手段DSFTを用いることにして実現したが、ビットシフト手段を用いずとも、CPUがパターンデータを予めビットシフトを行ったパターンデータを出力することで実現可能である。この場合、CPUの計算手数が増えるが、データドライバLSIの回路規模を縮小することができる。また、本実施の形態による液晶表示装置の矩形領域パターンデータ描画は、シフト回路WSFTにおける最初に有効にするシフトデータを矩形領域の位置にしたがって変更し、パターンデータの1ライン目から出力して実現したが、最初に有効にするシフトデータは予め決めておき、CPUが矩形領域の位置にしたがってパターンデータの出力するラインを変更することで、実現可能である。

【0105】本発明は以上に示した実施の形態に限定されるものではなく、その主旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、液晶ドライバLSIは160本の出力端子、及び、160画素×240ライン×2ビットの表示メモリを備えるものとして説明したが、他の出力数、他の表示メモリの構成、他のパターンデータサイズについても容易に対応可能である。

【0106】

【発明の効果】本願において開示される発明によって得られる効果を簡単に説明すれば、以下のとおりである。

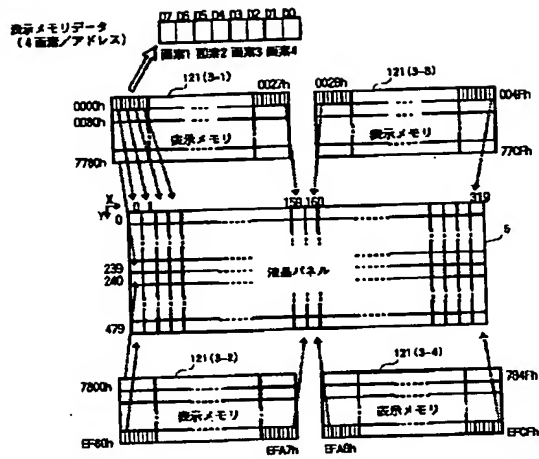
【0107】すなわち、本発明による表示メモリを内蔵した液晶ドライバLSIを用いた液晶表示装置は、CPUの液晶ドライバLSIへのアクセス回数を低減することで、ライン描画や矩形領域の塗り潰し描画や矩形領域のパターンデータ描画を、低消費電力かつ高速描画動作で行いかつCPUの動作負荷を低減することができる。

【図1】



【図 2】

図 2



【図 3】



図 3

スタートアドレス設定レジスタ (ビット15～8)

| b7    | b6    | b5    | b4    | b3    | b2    | b1   | b0   |
|-------|-------|-------|-------|-------|-------|------|------|
| SRA15 | SRA14 | SRA13 | SRA12 | SRA11 | SRA10 | SRA9 | SRA8 |

スタートアドレス設定レジスタ (ビット7～0)

| b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|------|------|------|------|------|------|------|------|
| SRA7 | SCA6 | SCA5 | SCA4 | SCA3 | SCA2 | SCA1 | SCA0 |

スタートアドレス設定レジスタ (ビット1～2)

| b7    | b6    | b5 | b4 | b3 | b2 | b1 | b0 |
|-------|-------|----|----|----|----|----|----|
| SCA-1 | SCA-2 | /  | /  | /  | /  | /  | /  |

エンドアドレス設定レジスタ (ビット15～8)

| b7    | b6    | b5    | b4    | b3    | b2    | b1   | b0   |
|-------|-------|-------|-------|-------|-------|------|------|
| ERA15 | ERA14 | ERA13 | ERA12 | ERA11 | ERA10 | ERA9 | ERA8 |

エンドアドレス設定レジスタ (ビット7～0)

| b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|------|------|------|------|------|------|------|------|
| ERA7 | ECA6 | ECA5 | ECA4 | ECA3 | ECA2 | ECA1 | ECA0 |

エンドアドレス設定レジスタ (ビット1～2)

| b7    | b6    | b5 | b4 | b3 | b2 | b1 | b0 |
|-------|-------|----|----|----|----|----|----|
| ECA-1 | ECA-2 | /  | /  | /  | /  | /  | /  |

色設定レジスタ

| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|----|----|----|----|----|----|----|----|
| /  | /  | /  | /  | /  | /  | D1 | D0 |

SRA15～SRA7: スタートロウアドレス

SCA6～SCA-2: スタートカラムアドレス

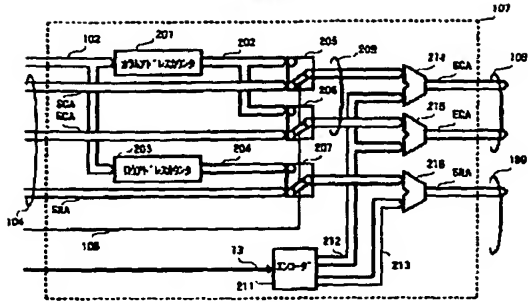
ERA15～ERA7: スタートロウアドレス

ECA6～ECA-2: スタートカラムアドレス

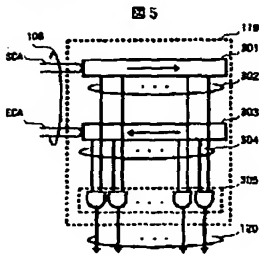
D1～D0: 陪面コード

【図 4】

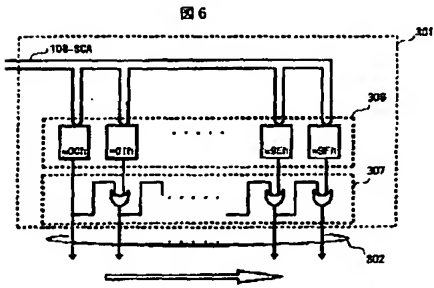
图 4



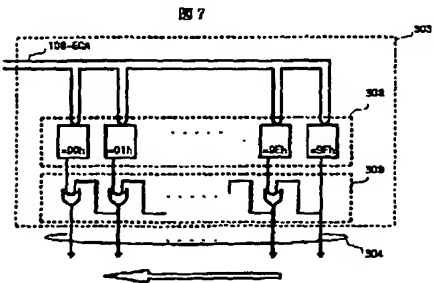
【图 5】



【图 6】

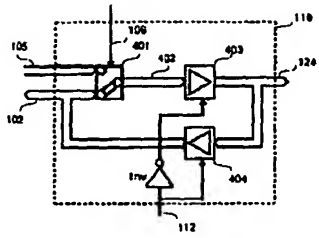


【图 7】



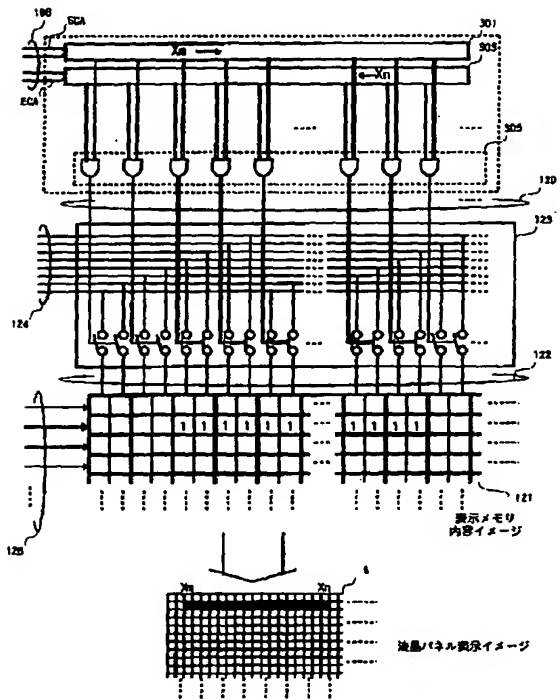
【图 8】

8

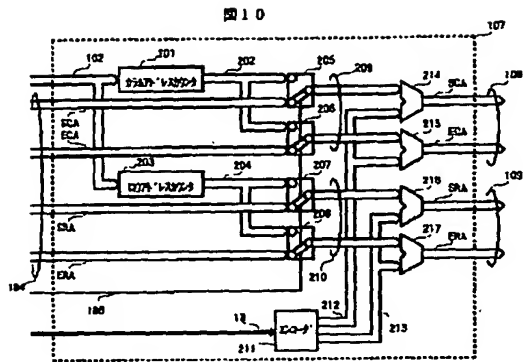


【図 9】

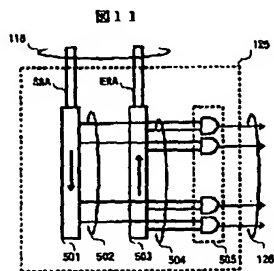
**图 9**



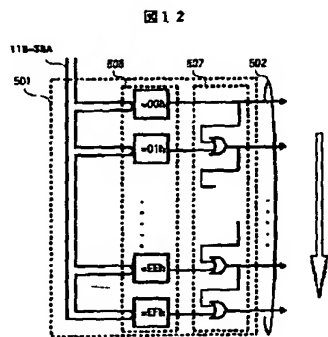
【図 10】



【図 11】

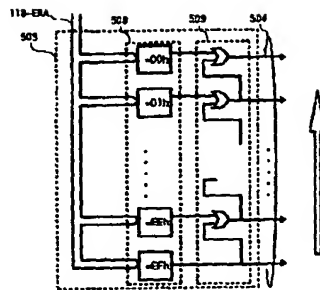


【図 12】



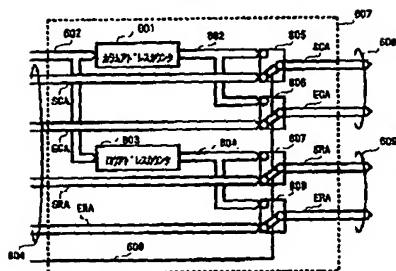
【図 13】

図 13



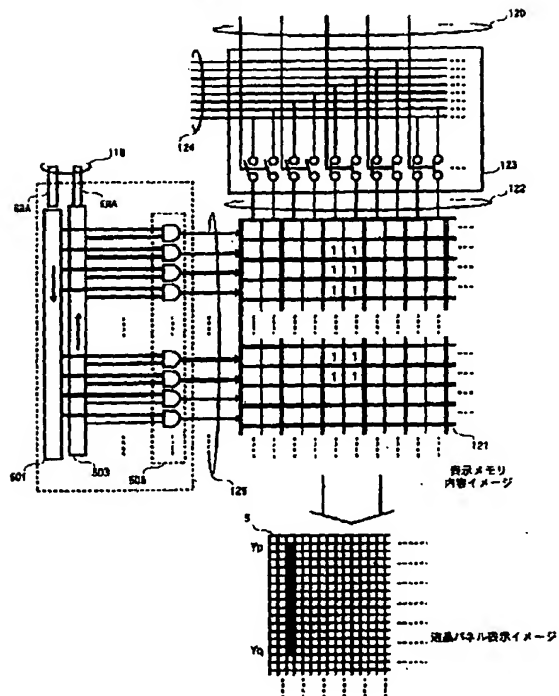
【図 19】

図 19

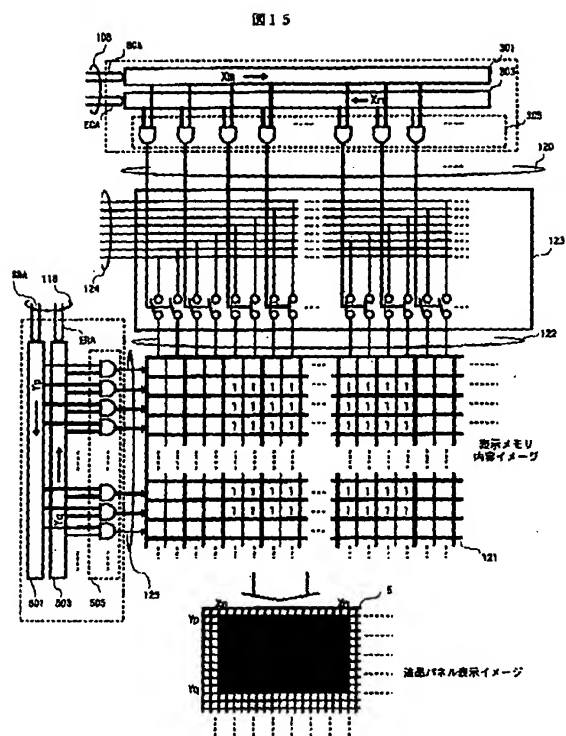


【図 14】

図 14

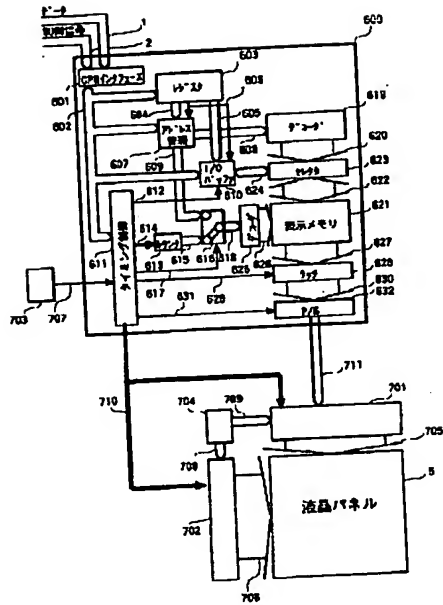


【図15】



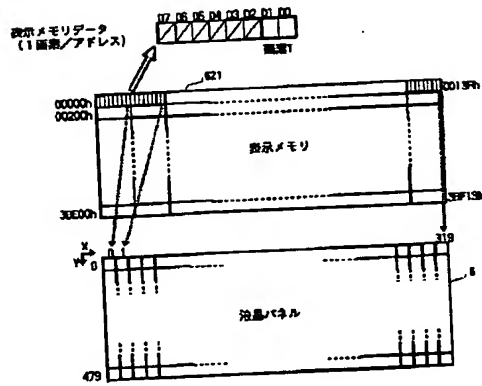
【図16】

図 16



【図 17】

図 17



【図 18】

スタートアドレス設定レジスタ (b'17~16)

|    |    |    |    |    |    |       |       |
|----|----|----|----|----|----|-------|-------|
| b7 | b6 | b5 | b4 | b3 | b2 | b1    | b0    |
|    |    |    |    |    |    | SRAT7 | SRAT6 |

スタートアドレス設定レジスタ (b'15~8)

|       |       |       |       |       |       |      |      |
|-------|-------|-------|-------|-------|-------|------|------|
| b7    | b6    | b5    | b4    | b3    | b2    | b1   | b0   |
| SRAT5 | SRAT4 | SRAT3 | SRAT2 | SRAT1 | SRAT0 | SRAS | SGAS |

スタートアドレス設定レジスタ (b'7~0)

|      |      |      |      |      |      |      |       |
|------|------|------|------|------|------|------|-------|
| b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0    |
| SCAT | SCAS | SCAS | SCAS | SCAS | SCAS | SCAT | SCAT0 |

エンドアドレス設定レジスタ (b'17~16)

|    |    |    |    |    |    |       |       |
|----|----|----|----|----|----|-------|-------|
| b7 | b6 | b5 | b4 | b3 | b2 | b1    | b0    |
|    |    |    |    |    |    | ERAT7 | ERAT0 |

エンドアドレス設定レジスタ (b'15~8)

|       |       |       |       |       |       |      |      |
|-------|-------|-------|-------|-------|-------|------|------|
| b7    | b6    | b5    | b4    | b3    | b2    | b1   | b0   |
| ERAT5 | ERAT4 | ERAT3 | ERAT2 | ERAT1 | ERAT0 | ERAS | ERAS |

エンドアドレス設定レジスタ (b'7~0)

|      |      |      |      |      |      |      |       |
|------|------|------|------|------|------|------|-------|
| b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0    |
| ECAT | ECAS | ECAS | ECAS | ECAS | ECAS | ECAT | ECAT0 |

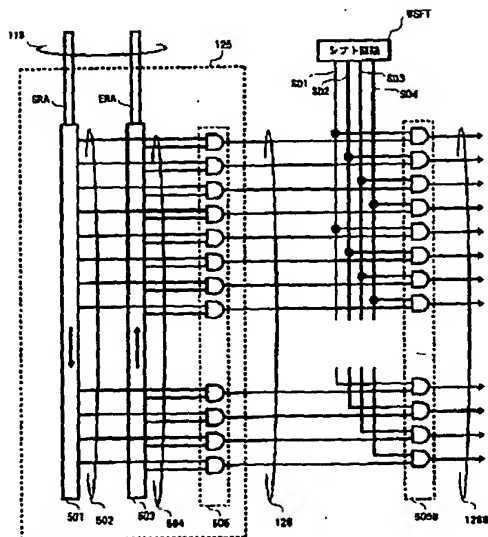
自動レジスタ

|    |    |    |    |    |    |    |    |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|    |    |    |    |    |    | 01 | 00 |

SRAT7~SRAS: スタートローアドレス  
 SRAS~SCAT0: スタートカラムアドレス  
 ERAT7~ERAS: スタートローアドレス  
 ECAT0~ECAT7: スタートカラムアドレス

01~00: 階層コード

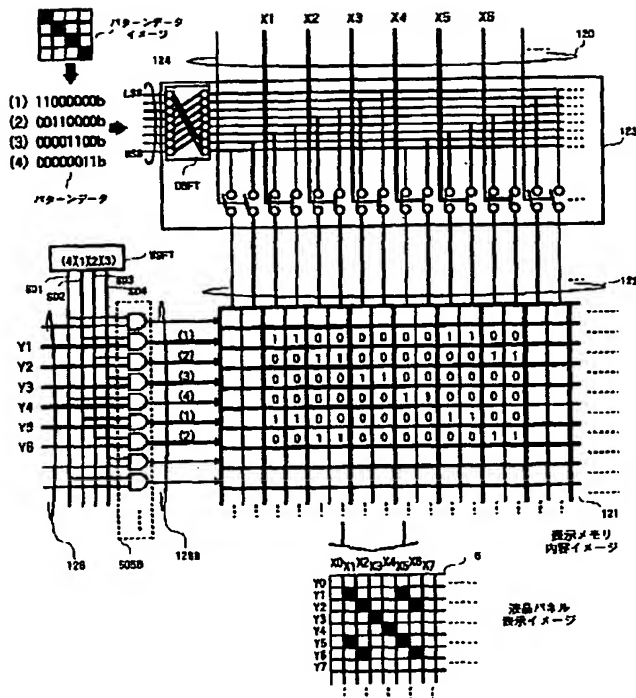
**图 20**



【図 2 1】



図 2 1



【図 2 2】

図 2 2

